

Family list

1 application(s) for: JP6061257

1 THIN FILM TRANSISTOR AND ITS MANUFACTURE

Inventor: ASANO MASAAKI

Applicant: DAINIPPON PRINTING CO LTD

EC:

IPC: H01L29/78; H01L21/336; H01L29/786; (+4)

Publication JP6061257 (A) - 1994-03-04
info:

Priority Date: 1992-08-05

Data supplied from the *espacenet* database — Worldwide

THIN FILM TRANSISTOR AND ITS MANUFACTURE

Publication number: JP6061257 (A)

Publication date: 1994-03-04

Inventor(s): ASANO MASAOKI +

Applicant(s): DAINIPPON PRINTING CO LTD +

Classification:

- international: H01L29/78; H01L21/336; H01L29/786; H01L21/02; H01L29/66; (IPC-1-7): H01L21/336; H01L29/784

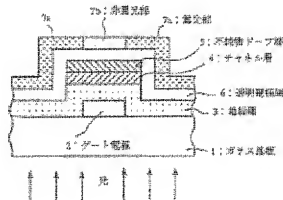
- European:

Application number: JP19920229231 19920805

Priority number(s): JP19920229231 19920805

Abstract of JP 6061257 (A)

PURPOSE: To restrain parasitic capacity generated between a gate electrode, and a source electrode and a drain electrode. **CONSTITUTION:** A gate electrode 2 is formed on a glass substrate 1 and an SiNx-based insulation layer 3, an a-Si: H-based channel layer 4 and an n-type impurity doped layer 5 are formed thereon. A transparent electrode layer 6 and a negative type resist layer 7 are formed, back exposure is carried out from a lower surface side of the glass substrate 1 and shadow of the gate electrode 2 is formed in a resist layer. A non-exposure part 7b is removed by developing the resist layer. An exposure part 7a as a mask and a source electrode and a drain electrode are formed.



Data supplied from the *espacenet* database — Worldwide

特開平6-61257

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. ³ H 0 1 L 21/336 29/784	識別記号	庁内整理番号	F I	技術表示箇所
		9056-4M	H 0 1 L 29/ 78	3 1 1 P

審査請求 未請求 請求項の数6(全 9 頁)

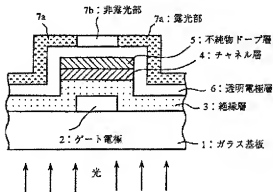
(21)出願番号	特願平4-229231	(71)出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(22)出願日	平成4年(1992)8月5日	(72)発明者	浅野 雅朗 東京都新宿区市谷加賀町1丁目1番1号 大日本印刷株式会社内
		(74)代理人	弁理士 志村 浩

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 ゲート電極と、ソース電極およびドレイン電極との間に生じる寄生容量を抑制する。

【構成】 ガラス基板1上に、ゲート電極2を形成し、その上に、SiNxからなる絶縁層3、a-Si:Hからなるチャネル層4、n型不純物ドーパ層5を形成する。更に、透明電極層6およびネガ型レジスト層7を形成し、ガラス基板1の下面側からバック露光を行い、ゲート電極2の影をレジスト層7に作る。レジスト層7を現像して非露光部7bを除去し、露光部7aをマスクとして透明電極層6をエッチングし、ソース電極およびドレイン電極を形成する。



【特許請求の範囲】

【請求項1】 基板上にソース電極、ドレイン電極およびゲート電極が形成された薄膜トランジスタにおいて、前記基板の上面に前記各電極のパターンを投影したときに、前記ソース電極の投影パターンと前記ゲート電極の投影パターンとの間、および前記ドレイン電極の投影パターンと前記ゲート電極の投影パターンとの間に、重なりが生じないように構成したことを特徴とする薄膜トランジスタ。

【請求項2】 ソース電極およびドレイン電極をパターンニングするときに、基板側から光を照射して、ゲート電極をマスクとして用いた露光を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項3】 透明な基板の上面に不透明なゲート電極を形成する段階と、

この上に、透明な絶縁層を介して、透明な半導体チャネル層および透明な不純物ドーパ層を順に形成する段階と、

この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、

前記基板の下面側から光を照射し、前記ゲート電極をマスクとして用い、前記レジスト層を露光する段階と、前記レジスト層を現像し、非露光部を除去する段階と、前記レジスト層の露光部をマスクとして用い、前記透明電極層をエッチングし、ソース電極およびドレイン電極の対向部を形成する段階と、

前記透明電極層をパターンニングし、ソース電極およびドレイン電極の前記対向部以外の部分を形成する段階と、を有することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項3に記載の製造方法において、複数の薄膜トランジスタの各ドレイン電極を電気的に接続するための補助配線層を形成する段階を更に行うことを特徴とする薄膜トランジスタの製造方法。

【請求項5】 ゲート電極をパターンニングするときに、基板側から光を照射して、ソース電極およびドレイン電極をマスクとして用いた露光を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項6】 透明な基板の上面に不透明なソース電極およびドレイン電極を形成する段階と、

この上に、透明な絶縁層を介して、透明な半導体チャネル層を形成する段階と、この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、

前記基板の下面側から光を照射し、前記ソース電極およびドレイン電極をマスクとして用い、前記レジスト層を露光する段階と、

前記レジスト層を現像し、非露光部を除去する段階と、前記レジスト層の露光部をマスクとして用い、前記透明電極層をエッチングし、ゲート電極の両側部を形成する

段階と、前記透明電極層をパターンニングし、ゲート電極の前記両側部以外の部分を形成する段階と、を有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタの製造方法、特に寄生容量の発生を抑制することのできる製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタは、特に液晶ディスプレイの分野での利用価値が高く、その需要は今後益々増大してゆくものと思われる。薄膜トランジスタは、通常、ガラス基板の上にゲート電極を形成し、この上に絶縁層を挟んでソース電極およびドレイン電極、ならびに真性半導体からなるチャネル層を形成してなる素子である。チャネル層は、ソース電極とドレイン電極との間に形成される領域であり、ゲート電極に印加する電圧を制御することにより、チャネル層を導通状態にしたり、非導通状態にしたりすることができ、ソース電極とドレイン電極との間がON/OFFするスイッチング素子としての動作を行うことができる。

【0003】 このような薄膜トランジスタを液晶ディスプレイに応用する場合には、1画素に1トランジスタが対応するように、各トランジスタを段状にマトリックス状に配列することになる。そして、たとえばゲート電極をこのマトリックスの横方向に伸ばし、ドレイン電極をこのマトリックスの縦方向に伸ばし、ソース電極を各画素に対応する表示電極に接続すれば、ゲート電極とドレイン電極との組み合わせにより、任意の画素に対応する表示電極の電位を制御することができるようになる。

【0004】

【発明が解決しようとする課題】 薄膜トランジスタを構成するゲート電極、ソース電極、ドレイン電極は、当然のことながらいずれも導電性材料（通常は金属）によって構成されている。しかも構造としては、ゲート電極に対して絶縁層を挟んで、ソース電極およびドレイン電極が形成された構造となる。このため、ゲート電極を第1の電極、ソース電極およびドレイン電極を第2の電極とする容量素子が形成され、回路上の寄生容量が発生してしまう。このような寄生容量は、ゲート電極に与えたゲートパルスの波形を変形させる作用があり、薄膜トランジスタの動作上好ましくないふるまいをする。

【0005】 このような寄生容量の影響を抑制するため、通常は、保持容量と呼ばれている別な容量素子を意図的に形成している。しかし、このような保持容量を設けると、構造が複雑になり、表示電極の開口率が減少するという別な弊害が生じることになる。

【0006】 そこで本発明は、ゲート電極と、ソース電

極およびドレイン電極との間に生じる寄生容量を抑制することができる薄膜トランジスタの製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】(1) 本願第1の発明は、基板上にソース電極、ドレイン電極、およびゲート電極が形成された薄膜トランジスタにおいて、基板の上面に各電極のパターンを投影したときに、ソース電極の投影パターンとゲート電極の投影パターンとの間、およびドレイン電極の投影パターンとゲート電極の投影パターンとの間に、重なりが生じないように構成したものである。

【0008】(2) 本願第2の発明は、薄膜トランジスタの製造方法において、ソース電極およびドレイン電極をパターンニングするときに、基板側から光を照射して、ゲート電極をマスクとして用いた露光を行うようにしたものである。

【0009】(3) 本願第3の発明は、薄膜トランジスタの製造方法において、透明な基板の上面に不透明なゲート電極を形成する段階と、この上に、透明な絶縁層を介して、透明な半導体チャネル層および透明な不純物ドープ層を順に形成する段階と、この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、基板の下面側から光を照射し、ゲート電極をマスクとして用い、レジスト層を露光する段階と、レジスト層を現像し、非露光部を除去する段階と、レジスト層の露光部をマスクとして用い、透明電極層をエッチングし、ソース電極およびドレイン電極の対向部を形成する段階と、透明電極層をパターンニングし、ソース電極およびドレイン電極の対向部以外の部分を形成する段階と、を行うようにしたものである。

【0010】(4) 本願第4の発明は、上述の第2の発明に係る薄膜トランジスタの製造方法において、複数の薄膜トランジスタの各ドレイン電極を電気的に接続するための補助配線層を形成する段階を更に行うようにしたものである。

【0011】(5) 本願第5の発明は、薄膜トランジスタの製造方法において、ゲート電極をパターンニングするときに、基板側から光を照射して、ソース電極およびドレイン電極をマスクとして用いた露光を行うようにしたものである。

【0012】(6) 本願第6の発明は、薄膜トランジスタの製造方法において、透明な基板の上面に不透明なソース電極およびドレイン電極を形成する段階と、この上に、透明な絶縁層を介して、透明な半導体チャネル層を形成する段階と、この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、基板の下面側から光を照射し、ソース電極およびドレイン電極をマスクとして用い、レジスト層を露光する段階と、レジスト層を現像し、非露光部を除去する段階と、レジスト

層の露光部をマスクとして用い、透明電極層をエッチングし、ゲート電極の両側部を形成する段階と、透明電極層をパターンニングし、ゲート電極の両側部の部分を形成する段階と、を行うようにしたものである。

【0013】

【作 用】 寄生容量が発生する原因は、ゲート電極に対して、ソース電極およびドレイン電極が部分的に覆い被さるような構造になるためである。これは、ゲート電極のパターンニングと、ソース電極およびドレイン電極のパターンニングとが、全く別個のマスクを用いたフォトリソグラフィによって行われることに起因する。本発明による方法のポイントは、いわゆるボトムゲート型の薄膜トランジスタにおいては、ソース電極およびドレイン電極のパターンニングを、既に形成されたゲート電極自身をマスクとして用いたフォトリソグラフィによって行うようにし、いわゆるトップゲート型の薄膜トランジスタにおいては、ゲート電極のパターンニングを、既に形成されたソース電極およびドレイン電極自身をマスクとして用いたフォトリソグラフィによって行うようにした点にある。各電極自身がマスクとなるため、いわゆるセルフアライメントが行われ、ゲート電極に対して、ソース電極およびドレイン電極が覆い被さる部分がなくなる。このように電極自身をマスクとして用いたフォトリソグラフィを可能にするため、マスク電極となるべき電極層として透明電極層を用いるようにし、基板側から光を照射するバック露光を行うようにしている。

【0014】

【実施例】 以下、本発明を図示する実施例に基づいて説明する。図1は、一般的な液晶ディスプレイに薄膜トランジスタを利用する場合に、複数の薄膜トランジスタをマトリックス状に配列した状態を示す上面図である。図に実際に示されている部分がゲート電極Gである。このゲート電極Gは、図の横方向に伸びるディスプレイの走査線に対応する主部と、この主部から図の下方向に伸び、各トランジスタ素子についてのゲートとして作用するゲート部と、によって構成されている。一方、図に破線で示されている部分がドレイン電極Dであり、このドレイン電極Dは図の縦方向に伸び、ディスプレイのデータ線として機能する。こうして、横方向に配列された複数のゲート電極Gと、縦方向に配列された複数のドレイン電極Dと、によって多数の目目が形成され、この各目目に表示電極E（図に二点鎖線で示す）が形成される。この各表示電極Eに対して電気的に接続するように、各ソース電極S（図に一点鎖線で示す）が形成されており、各ソース電極Sとドレイン電極Dとの間に、活性層A（図に点線で示す）が形成されている。各活性層Aには、ゲート電極Gのゲート部が重なっており、このゲート電極Gに印加する電圧によって、活性層A内のチャネル層をON/OFF制御することができる。

【0015】 上述の構造において、1組の薄膜トランジ

スタは、ソース電極S、ドレイン電極D、これらの間に形成された活性層A、そしてこの活性層Aを制御するためのゲート電極G、によって構成されることになる。図1には、4組の薄膜トランジスタが形成されている状態が示されているが、実際には多数のトランジスタが二次元平面上に形成され、各表示電極Eを1画素とするディスプレイが形成される。特定の1走査線に対応するゲート電極Gに所定の電圧を印加すれば、図の横一列に並んだ薄膜トランジスタのチャネル層をONの状態にすることができ、データ線としての各ドレイン電極Dに与えた信号値を表示電極Eに書き込むことができる。別言すれば、図の横方向に配列された複数のゲート電極Gと、図の縦方向に配列された複数のドレイン電極Dと、に対して選択的に電圧を印加することにより、二次元平面上に配列された多数の表示電極Eのうちの所望の電極に所望の電荷を蓄積させることができる。

【0016】図1における切断線X-X'に相当する断面の一部を図2に示す。ガラス基板1上にゲート電極2（図1のゲート電極Gに対応）が形成されており、その上に、絶縁層3を挟んで、チャネル層4（図1の活性層Aに対応）が形成される。更に、ドレイン側不純物ドーピング層5Dを介してドレイン電極6D（図1のドレイン電極Dに対応）が、ソース側不純物ドーピング層5Sを介してソース電極6S（図1のソース電極Sに対応）が、それぞれ形成されている。ドレイン側不純物ドーピング層5Dおよびソース側不純物ドーピング層5Sは、チャネル層4に対するオーミック接触を確保するための中間層である。

【0017】このような構造をもった薄膜トランジスタにおいて、寄生容量が発生する理由を図3に基づいて説明する。図3は図2の断面図を別な描き方で示したものであるが、ここで、ゲート電極2、ドレイン電極6D、ソース電極6S、の空間的な位置関係に着目すれば、寄生容量が発生していることが理解できよう。すなわち、ゲート電極2とドレイン電極6Dとは、図の区間Δ1において重複しており、ゲート電極2とソース電極6Sとは、図の区間Δ2において重複している。したがって、各電極の本線で示す部分が上下で対向電極を形成し、容量素子が形成されることになる。このような寄生容量は、ゲート電極2に与えたゲートパルスの波形を変形させる作用があり、薄膜トランジスタの動作上好ましくないふりまをすることは、既に述べたとおりである。本発明は、ゲート電極2をマスクとして用いてドレイン電極6Dおよびソース電極6Sをパターンニングし、重複区間Δ1およびΔ2の長さを零にしようとする製造方法を提供するのである。そのために、ドレイン電極6Dおよびソース電極6Sに透明電極を用い、基板側からのバック露光を行うようにしている。以下、図1における切断面X-X'に相当する断面について、この製造方法の各工程を順に述べることにする。

【0018】まず、図4に示すように、ガラス基板1の

上にゲート電極2を形成する。このゲート電極2は、図1のゲート電極Gに対応するものであり、平面的には図1に示すパターンをしている。このようなパターンは、一般的なフォトリソグラフィ工程によって形成できる。

続いて、図5に示すように、この上に絶縁層3、チャネル層4、不純物ドーピング層5を順次形成する。チャネル層4および不純物ドーピング層5の平面的なパターンは、図1における活性層Aに対応するパターンとなる。このようなパターンも、一般的なフォトリソグラフィ工程によって形成できる。なお、この実施例では、ゲート電極2の材料としてCrを、絶縁層3の材料としてSiNxを、チャネル層4の材料として水素を添加したアモルファスシリコン（a-Si:H）を、それぞれ用いており、更に、不純物ドーピング層5の材料としては、チャネル層4の材料に更にn型不純物をドーピングした材料（n⁺-a-Si:H）を用いている。これらの材料は、従来の一般的な薄膜トランジスタにおいて用いられている一般的な材料であり、この図5に至るまでの工程は、従来の製造工程と全く同様である。

【0019】続いて、図6に示すように、この上に、透明電極層6およびレジスト層7を形成する。ここで、透明電極層6は、ソース電極6Sおよびドレイン電極6Dを形成するための元になる電極層であるが、これを透明な導電材料で構成する点が、本発明の特徴のひとつである。従来は、CrやAlなどの不透明な金属を用いてソース電極やドレイン電極を構成するのが一般的であったが、本発明では、後のバック露光の工程を行う関係で、これを透明な導電材料で構成しておく必要がある。この実施例では、透明電極層6の材料としては、ITO（Indium Tin Oxide）を用いている。また、レジスト層7は、この透明電極層6をパターンニングするためのネガ型レジストである。

【0020】本発明のポイントは、ゲート電極2をマスクとして用いて、透明電極層6をパターンニングし、ソース電極6Sおよびドレイン電極6Dを形成することにある。そこで、図7に示すように、ガラス基板1の下面側から光を照射し、いわゆるバック露光を行う（従来の製造工程では、パターンニングのための露光はすべてガラス基板1の上面側から行われていた）。ここで、Crからなるゲート電極2は不透明であるが、他の各層はすべて透明であるため、レジスト層7にはゲート電極2の影だけが投影され、影に隠れなかった露光部7aと、影に隠れた非露光部7bとが形成されることになる。ネガ型のレジストを用いれば、レジスト層7の現像により、露光部7aのみを残し非露光部7bを除去できる。こうして、残った露光部7aをマスクとしてエッチング処理を施せば、図8に示すように、ソース電極6Sおよびドレイン電極6Dのパターンニングが完了する。続いて、これら両電極をマスクとして、不純物ドーピング層5に対するエッチング処理を行えば、図9に示すように、ソース側不

純物ドープ層5 Sおよびドレイン側不純物ドープ層5 Dを形成することができる。

【0021】以上の工程により、薄膜トランジスタの主要部の製造は完了である。構造的には、図2に示した従来構造のものとほぼ同じ構造の素子が形成されたことになる。ただ、従来構造の素子では、図3に示すように、ゲート電極2と、ソース電極6 Sおよびドレイン電極6 Dとの間に重複区間 $\Delta 1$ 、 $\Delta 2$ が生じ、寄生容量が発生しているが、本発明の工程で製造された素子では、図4に一点鎖線で示すように、ゲート電極2の端部とソース電極6 Sおよびドレイン電極6 Dの端部とが揃っており、重複区間は零となっている。このように、ゲート電極2をマスクとして用いて、ソース電極6 Sおよびドレイン電極6 Dのパターニングを行うようにすることにより、寄生容量をほとんど零にすることが可能になる。

【0022】以上、図1の切断線X-X'に対応する断面について、本発明の工程を説明してきたが、平面的な構造を考慮すると、上述の工程説明は完全ではない。実際には、要に、余分な工程が2工程必要になる。第1の余分な工程は、ソース電極6 Sおよびドレイン電極6 Dのパターニングを完了する工程である。断面図に基づいて行われた上述の説明では、図7に示すバック露光の後のエッチングにより、図8に示すようなソース電極6 Sおよびドレイン電極6 Dが形成されたように示されているが、実際には、この時点では、まだソース電極6 Sおよびドレイン電極6 Dは一部少し形成されていない。これは、図7に示すバック露光によって形成される平面的なパターンを考慮してみれば理解できる。すなわち、ゲート電極2の平面的なパターンは、図1にゲート電極Gとして実線で示されているようなパターンである。したがって、図7に示す工程において、ゲート電極2をマスクとしてバック露光を行うことによって、レジスト層7上に転写されるパターンは、図1にゲート電極Gとして実線で示されているパターンそのものである。図10に、このパターンの一部（1つの薄膜トランジスタに対応する領域）を示す。ハッチングを施した部分が露光部7 aであり、白抜きの部分が非露光部7 bである。切断線X-X'に対応する断面では、図4に示す状態になっていることがわかるであろう。したがって、このような平面パターンをもったレジストを用いたエッチングを行うと、透明電極層6は、ハッチングを施した露光部7 aに対応する領域がすべて残ってしまうことになる。図8に示すソース電極6 Sおよびドレイン電極6 Dは、実は、図10のハッチング部分の一部に相当するものであり、図10のハッチング部分は、まだ、それぞれの電極としての正しい形状にはパターンニングされていない。別言すれば、図7のバック露光は、ソース電極6 Sおよびドレイン電極6 Dの対向部6 S Sおよび6 D D（図8および図10参照）を形成するための工程ということができ、したがって、この図8に示す状態になった後に、

もう一度、ソース電極6 Sおよびドレイン電極6 Dを形成するためのパターニング工程を行う必要がある。これが第1の余分な工程である。

【0023】具体的には、図11に示すような、マスクを用いたフォトリソグラフィ工程を行えばよい。ここで、被線で示したゲート領域A gは、ゲート電極が形成されている平面的な領域を示すものであり、ハッチングを施した部分にソース領域A sおよびドレイン領域A dを定義し、このソース領域A sおよびドレイン領域A dに対応する領域のみが残るように、透明電極層6に対する二度目のエッチングを行えばよい。なお、このとき、図8に示すように、一度目のエッチングによってわざわざ形成したソース電極6 Sおよびドレイン電極6 Dの対向部6 S Sおよび6 D Dは、二度目のエッチングの影響を受けない状態にする必要がある。したがって、図11に示すように、ソース領域A sおよびドレイン領域A dの境界部は、ゲート領域A gの境界部に対して、いくらかの余裕部分 $\Delta 3$ 、 $\Delta 4$ をもつように設計しておく必要がある。この余裕部分 $\Delta 3$ 、 $\Delta 4$ を、マスク合わせの際に生じる誤差に比べて大きくしておけば、対向部6 S S、6 D Dが二度目のエッチングにより影響を受けることはない。

【0024】結局、本発明の工程では、透明電極層6に対しては、二度のパターニング（エッチング）が行われることになる。一度目のパターニングでは、図10にハッチングで示した領域が残り、二度目のパターニングでは、図11にハッチングで示した領域が残ることになる。したがって、二度のパターニングによって最終的には、図12にハッチングで示した部分だけが残ることになる。すなわち、ソース電極6 Sおよびドレイン電極6 Dが形成され、両者の対向部6 S Sおよび6 D Dは、ゲート領域A gの境界部に揃った状態となる。図8に示す断面図は、実際には、このような二度目のパターニングを行った後の状態に相当する。

【0025】ところで、図12に明瞭に示されているように、ゲート電極2をマスクとしたパターニング（一度目のパターニング）を行ったため、ドレイン電極は分断領域2において、ドレイン電極6 Dと6 D'とに分断されてしまっている。図1の平面図に破線によって示されているように、本来、ドレイン電極は、図の縦方向に構構し、一列に並んだ複数の素子についての共通の電極を構成しなければならない。ところが、本発明による工程を実施すると、図1の平面図におけるゲート電極Gとドレイン電極Dとの交差部分において、ドレイン電極Dは分断されてしまうことになる。本発明が必要になる第2の余分な工程（ドレイン電極を配線として用いない場合には、この第2の余分な工程は必ずしも必要ではない）は、このように分断されたドレイン電極Dを電気的に接続するための補助配線層を形成する工程である。

【0026】図12における切断線Y-Y'に対応する

断面を図13に示す。絶縁層3上に形成されたドレイン電極6Dと6D'とは、分断領域Zにおいて分断されてしまっている。これは、ゲート電極2をマスクとするパターンニングを行ったためである。そこで、このような分断部分には、図14にハッチングを施して示すような補助配線層8(たとえば、CrやAlなどの金属材料を用いて)を形成し、両者を電氣的に接続する。こうすることにより、図1に示す従来の薄膜トランジスタ群と同等の機能を果たした素子が実現できる。

【0027】なお、一般に、透明電極材料は、CrやAlといった金属材料に比べて電気抵抗が高いため、複数の素子についての共通配線として用いられるドレイン電極D全体を、この透明電極材料のみで構成した場合、配線の電気抵抗が高くなるというデメリットが生じる場合がある。このような場合には、透明電極材料からなるドレイン電極Dの上面の一部に、更に、CrやAlなどの電導率の高い材質からなる層を形成するようにしてもよい。

【0028】また、ソース電極6Sおよびドレイン電極6Dを透明電極材料によって構成すると、ソース側不純物ドープ層5Sおよびドレイン側不純物ドープ層5Dとの間でのオーミック接触が保たれないというデメリットが生じる場合がある。このような場合には、両者間に薄いCr層などを挟むような構造にすればよい。具体的には、不純物ドープ層5を形成した上に、薄いCr層を形成し、その上から透明電極層6を形成するようにすればよい。Cr層の厚みを、0.05μm程度にしておけば、このCr層はほぼ透明な層となり、バック露光を行う際の障害にはならない。

【0029】以上の製造工程は、いわゆるボトムゲート型のスタガ構造と呼ばれる図9に示すような断面構造をもった薄膜トランジスタに本発明を適用したものである。本発明は、この他にも、いわゆるトップゲート型のスタガ構造と呼ばれる図15に示すような断面構造をもった薄膜トランジスタにも適用することができる。この図15に示す薄膜トランジスタでは、ガラス基板1の上面に、ソース電極6Sおよびゲート電極6Dが形成されており、この上に、絶縁層3を介してチャネル層4およびゲート電極2が形成されている。このようなトップゲート型の構造をもった薄膜トランジスタを製造する場合には、上述した実施例とは逆に、ソース電極6Sおよびドレイン電極6Dをマスクとして用い、ゲート電極2をパターンニングすればよい。すなわち、図16に示すように、絶縁層3の上に、アモルファスシリコン層4'、透明電極層2'、ネガ型のレジスト層7を形成した状態で、基板1の下面側から光を照射し、バック露光を行う。レジスト層7を現像すれば、露光部7aのみを残し非露光部7bを除去できる。こうして、残った露光部7aをマスクとしてエッチング処理を施せば、図15に示すようなゲート電極2の両側部を形成することができ

る。この後、透明電極層2'を再度パターンニングし、ゲート電極2の両側部以外の部分を形成すればよい。

【0030】以上、本発明を図示する実施例に基づいて説明したが、本発明にはこの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。特に、上述の実施例で示した各層の具体的な材料は、一実施例として掲げたものであり、本発明はこれらの材料に限定されるものではない。

【0031】

【発明の効果】以上のとおり本発明に係る薄膜トランジスタの製造方法では、ソース電極およびドレイン電極(あるいはゲート電極)をパターンニングするときに、これらの電極を透明な材料で構成し、基板側から光を照射して、ゲート電極(あるいはソース電極およびドレイン電極)をマスクとして用いた露光を行うようにしたため、ゲート電極に対して、ソース電極およびドレイン電極が覆い蔽われる部分がなくなり、両電極間に生じる寄生容量を抑制することができる。

【図面の簡単な説明】

【図1】一般的な液晶ディスプレイに薄膜トランジスタを利用する場合に、複数の薄膜トランジスタをマトリクス状に配列した状態を示す上面図である。

【図2】図1における切断線X-X'に対応する切断部の断面図である。

【図3】図2に示す断面図において寄生容量の発生を説明する図である。

【図4】ガラス基板1の上にゲート電極2を形成した一般的な薄膜トランジスタの製造工程を示す断面図である。

【図5】図4に示す状態の上に、更に絶縁層3、チャネル層4、不純物ドープ層5を形成した一般的な薄膜トランジスタの製造工程を示す断面図である。

【図6】図5に示す状態の上に、本発明の製造方法に特有の透明電極層6およびレジスト層7を形成した工程を示す断面図である。

【図7】図6に示す状態において、ゲート電極2をマスクとして用いたバック露光を行う工程を示す断面図である。

【図8】図7に示すバック露光の後、透明電極層6に対するエッチングを行った状態を示す断面図である。

【図9】図8に示すエッチングの後、不純物ドープ層5に対するエッチングを行った状態を示す断面図である。

【図10】図8に示す構造を得るために行う一度目のパターンニングに用いるパターンを示す平面図である。

【図11】図8に示す構造を得るために行う二度目のパターンニングに用いるパターンを示す平面図である。

【図12】図10に示すパターンと図11に示すパターンとを重なることによって得られるパターンを示す平面図である。

【図13】図12における切断線Y-Y'に対応する切

断部の断面図である。

【図14】図13に示されている分断領域Zを接続するための補助配線層8を形成した状態を示す断面図である。

【図15】一般的なトップゲート型の薄膜トランジスタの断面構造を示す断面図である。

【図16】図15に示す構造をもった薄膜トランジスタの構造に本発明を適用する工程を示す断面図である。

【符号の説明】

- 1…ガラス基板
- 2…ゲート電極
- 2'…透明電極層
- 3…絶縁層
- 4…チャネル層
- 4'…アモルファスシリコン層
- 5…不純物ドーパ層
- 5D…ドレイン側不純物ドーパ層
- 5S…ソース側不純物ドーパ層
- 6…透明電極層

6D、6D'…ドレイン電極

6D1…対向部

6S…ソース電極

6SS…対向部

7…レジスト層

7a…露光部

7b…非露光部

8…補助配線層

A…活性層

A_g…ゲート領域

A_s…ソース領域

A_d…ドレイン領域

C…チャネル領域

D…ドレイン電極（データ線）

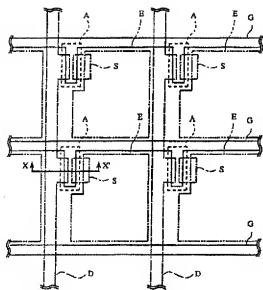
G…ゲート電極（走査線）

S…ソース電極

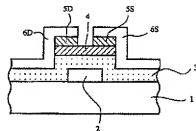
Δ1、Δ2…重複区間

Δ3、Δ4…余裕部分

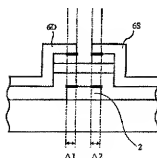
【図1】



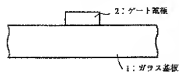
【図2】



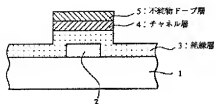
【図3】



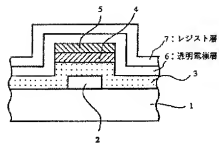
【図4】



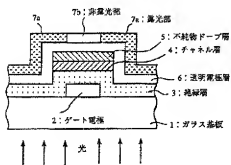
【図5】



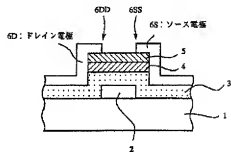
【図6】



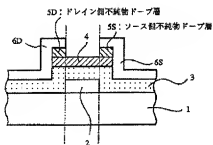
【図7】



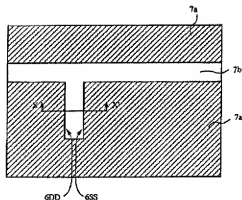
【図8】



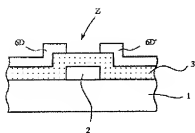
【図9】



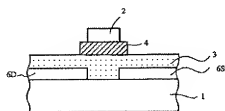
【図10】



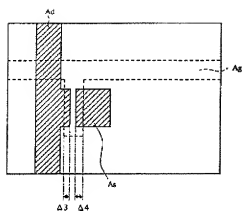
【図13】



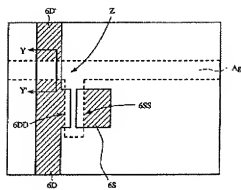
【図15】



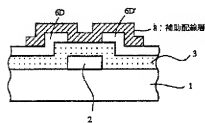
【圖 11】



【圖 12】



【圖 14】



【圖 16】

